

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0007160
Application Number

출원년월일 : 2003년 02월 05일
Date of Application FEB 05, 2003

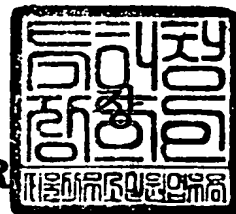
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0026
【제출일자】	2003.02.05
【국제특허분류】	H01L
【발명의 명칭】	집적 회로용 평판형 캐패시터 및 그의 제조방법
【발명의 영문명칭】	Flat type capacitor for integrated circuit and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	원석준
【성명의 영문표기】	WON, Seok Jun
【주민등록번호】	700217-1067321
【우편번호】	151-848
【주소】	서울특별시 관악구 봉천7동 1603-25 1/8
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	13	면	13,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	30	항	1,069,000	원
---------	----	---	-----------	---

【합계】	1,111,000	원		
------	-----------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

캐패시터의 유전막의 열화를 방지하여, 캐패시터의 전기적 특성을 개선할 수 있는 평판형 캐패시터 및 그 제조방법을 개시한다. 개시된 본 발명의 평판형 캐패시터는, 반도체 기판의 소정 부분에 형성되는 하부 배선, 상기 하부 배선과 전기적으로 연결되며 하부 배선 상에 형성되는 하부 전극, 상기 하부 전극 상부에 양 모서리를 갖는 콘케이브 형태로 형성된 유전막, 상기 유전막 표면에 콘케이브 형태로 형성되는 상부 전극, 상기 하부 배선과 전기적으로 연결되는 제 1 상부 배선, 및 상기 상부 전극과 연결되는 제 2 상부 배선을 포함하며, 상기 콘케이브 형태의 상부 전극이 하부 전극 보다 크게 형성된다.

【대표도】

도 4

【색인어】

평판형 캐패시터, MIM

【명세서】**【발명의 명칭】**

집적 회로용 평판형 캐패시터 및 그의 제조방법{Flat type capacitor for integrated circuit and method for manufacturing the same}

【도면의 간단한 설명】

도 1 내지 도 3은 종래의 평판형 캐패시터를 나타내는 단면도이다.

도 4는 본 발명에 따른 평판형 캐패시터를 보여주는 단면도이다.

도 5a 내지 도 5d는 본 발명에 따른 평판형 캐패시터의 제조방법을 설명하기 위한 각 공정별 단면도이다.

(도면의 주요 부분에 대한 부호의 설명)

100 : 반도체 기판

105a, 105b : 제 1 금속 배선

125a, 125c : 제 2 금속 배선

125b : 하부 전극

136 : 유전막

141 : 상부 전극

155a, 155b, 155c : 제 3 금속 배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 집적 회로용 평판형 캐패시터 및 그의 제조방법에 관한 것으로, 보다 구체적으로는 캐패시터 유전막의 열화를 방지하여, 캐패시터의 특성을 개선할 수 있는 집적 회로용 평판형 캐패시터 및 그의 제조방법에 관한 것이다.

- <10> 반도체 메모리 소자 뿐만 아니라 아날로그 소자 즉, RF(radio frequency) 소자, 혼합 신호 소자(mixed signal device), 및 시스템 드라이버 소자 역시 캐패시터가 없어서는 성분 중 하나이다.
- <11> 이와같은 집적 회로용 캐패시터는 다양한 형태로 형성될 수 있지만, 일반적으로는 유전막에 의하여 분리된 평행한 박막의 도전층으로 구성되고, 이를 박막 평판형 캐패시터라 칭하고 있다.
- <12> 도 1은 일반적인 집적 회로용 평판형 캐패시터를 나타낸 단면도로서, 동 도면을 참조하여 평판형 캐패시터를 설명하면, 반도체 기판(10) 상부에 제 1 금속막을 증착한다. 반도체 기판(10)은 트랜지스터, IC 소자들 및 금속 배선이 형성되어 있는 실리콘 기판일 수 있으며, 상기 제 1 금속막은 도면에서 첫 번째로 증착되었으므로 제 1 금속막이라 칭한 것뿐이지, 반도체 소자 전체적으로 볼 때 제 2 또는 제 3 금속막이 될 수도 있다. 제 1 금속막을 소정 부분 패터닝하여, 하부 전극(12a) 및 제 1 금속 배선(12b)을 형성한다. 제 1 금속 배선(12b) 역시 당해 도면에서 처음 보여지는 배선이므로 제 1 금속 배선(12b)이라 칭한 것뿐이지, 제 2 또는 제 3 금속 배선이 될 수 있다.
- <13> 그후, 반도체 기판(10) 결과물 상부에 유전막(14) 및 상부 전극용 금속막을 순차적으로 증착한다음, 상부 전극용 금속막 및 유전막(14)을 하부 전극(12a)의 소정 부분이 노출되도록 식각한다. 이때, 하부 전극(12a)의 소정 부분이 유전막(14)의 잔류 없이 노출될 수 있도록, 유전막(14)을 식각하여준다. 또한, 하부 전극(12a)의 소정 부분을 노출시키는 것은, 이후 하부 전극(12a)을 상부 금속 배선

과 전기적으로 연결시키기 위함이다. 그 다음, 결과물 상부에 층간 절연막(18)을 형성한 다음, 하부 전극(12a), 제 1 금속 배선(12b) 및 상부 전극(16)이 노출되도록 층간 절연막(18)을 식각하여 비아홀(도시되지 않음)을 형성한다.

<14> 비아홀내에 도전물을 충전시켜, 플러그(20)를 형성하고, 플러그(20) 각각과 콘택되도록 제 2 금속 배선들(22a, 22b, 22c)을 형성한다. 여기서, 제 2 금속 배선(22a)은 하부 전극(12a)에 전기적 신호를 공급하고, 제 2 금속 배선(22b)은 상부 전극(16)에 전기적 신호를 공급하며, 제 2 금속 배선(22c)은 제 1 금속 배선(12b)에 전기적 신호를 공급한다.

<15> 그러나, 상기한 평판형 캐패시터는 유전막(14)이 식각되는 과정에서, 유전막(14) 측벽에 식각 부산물이 흡착되어질 수 있다. 이와같이, 유전막(14) 측벽에의 식각 부산물의 흡착되면, 유전막의 전기적 특성이 저하된다.

<16> 또한, 유전막(14)의 식각에 의하여 하부 전극(12a)이 노출되는 경우, 하부 전극(12a)이 일부 식각되어질 수 있고, 식각되어진 하부 전극(12a)의 잔재가 유전막(14) 측벽으로 재스퍼터링(re-sputtering)될 수 있다. 도 1에서 점선 형태의 화살표는 하부 전극(12a)의 재스퍼터링 경로를 보여준다.

<17> 이와같이 유전막(14) 및 하부 전극(12a)의 잔재가 유전막(14) 측벽에 부착 또는 재스퍼터링 되는 것은 후속의 세정 공정으로 어느 정도 제거는 가능하나, 충분하게 식각 잔재물을 제거하기 어려우며, 공정 수를 증대시킨다는 문제가 있다.

<18> 이에 종래의 다른 방법으로, 도 2에 도시된 바와 같이, 유전막(14)을 하부 전극(12a)과 동시에 식각하고, 유전막(14) 상부에 상부 전극(16)만을 개별적으로

식각한다. 그후, 층간 절연막(18) 및 유전막(14)을 동시에 식각하여 비아홀을 형성한다. 이와 같은 기술은 카나모리(Kanamori)씨에 의해 미합중국 특허 6,492,223호(도 1A 내지 도 1G)에 개시되어 있다.

<19> 상기와 같은 기술은 상부 전극(16)과 유전막(14)을 동시에 식각하지 않으므로, 유전막(14) 측벽에 식각 부산물이 발생됨을 감소시킬 수 있고, 유전막(14)을 과도 식각할 필요가 없으므로, 하부 전극(12a)의 재스퍼터링 현상을 방지할 수 있다는 장점이 있다. 그러나, 비아홀 형성시, 층간 절연막(18) 및 고유전율을 갖는 유전막(14)을 동시에 식각하여야 하므로, 층간 절연막(18) 및 유전막(14)을 각각 식각하여야 하는 번거로움이 있다.

<20> 상기한 종래의 문제점을 해결하기 위한 종래의 또 다른 방법으로는, 도 3에 도시된 바와 같이, 반도체 기판(10) 상부에 제 1 층간 절연막(52)을 증착하고, 제 1 층간 절연막(52)의 내부의 소정 부분에 제 1 금속 배선(54,56)을 형성한다. 제 1 금속 배선(54,56)은 공지된 다마신(damascene) 방식으로 형성될 수 있다. 이때, 제 1 금속 배선(54)은 이후 형성될 하부 전극과 콘택되도록 비교적 넓은 선폭으로 형성된다. 제 1 금속 배선(54,56)을 포함하는 제 1 층간 절연막(52) 상부에 제 2 층간 절연막(58)을 증착한다음, 제 1 금속 배선들(54,56)이 각각 노출되도록 제 2 층간 절연막(58)을 소정 부분 식각하여 콘케이브(concave) 형태의 캐패시터 영역(도시되지 않음) 및 비아홀(도시되지 않음)을 한정한다.

<21> 그후, 캐패시터 영역내에 하부 전극용 도전층 및 유전막(66)을 순차적으로 증착하고, 이들을 CMP(Chemical mechanical polishing)하여, 콘케이브 형태의 캐패

시터 영역에 하부 전극(62) 및 유전막(66)을 형성한다. 동시에, 비아홀내에 제 1 플러그(64)를 형성한다. 유전막(66) 및 제 2 층간 절연막(58) 상부에 상부 전극용 도전층을 상부 캐패시터 영역이 채워지도록 증착한 후, 상부 전극용 도전층을 CMP하여 상부 전극(68)을 형성하여, 콘케이브 형태의 캐패시터가 한정된다. 그후, 반도체 기판 결과물 상부에 제 3 층간 절연막(72)을 형성하고, 하부 전극(62)으로부터 연장된 패드(63), 상부 전극(68) 및 제 1 플러그(64)와 노출되도록 제 3 층간 절연막(72)을 식각하여 비아홀을 형성한다. 그후, 제 3 층간 절연막(72)내의 비아홀 내부에 제 2 플러그(74,76,78)를 공지의 방식으로 형성한다. 이와같은 기술은 브래바존(Brabazon)씨에 의하여 미합중국 특허 5,708,559호(도 13 참조, 이하 559호)에 개시된 바 있다.

<22> 상기한 559호는 상부 전극을 CMP 방식에 의하여 형성하므로 유전막(66)측벽에 식각 부산물이 흡착될 위험이 없으며, 유전막을 과도 식각하지 않아도 되므로 하부 전극(62)의 재스퍼터링 현상이 발생되지 않는다. 또한, 비아홀 형성시 유전막(66)과 층간 절연막(58 또는 72)을 동시에 식각하지 않아도 되므로 비아홀 공정이 단순해진다.

<23> 그렇지만, 상기의 기술은 하부 전극(62)으로부터 연장된 패드(63), 유전막(66) 및 상부 전극(68)이 모두 CMP 방식에 의하여 형성되므로, CMP 잔재가 유전막(66) 표면에 잔류하는 경우 하부 전극(62)과 상부 전극(68) 사이에 브릿지를 유발할 수 있다. 또한, 하부 전극 패드(63), 유전막(66) 및 상부 전극(68)의 표면에 물리적인 힘의 인가로 스크래치가 발생되거나, 연마제로부터 부식과 같은 화학적인 문제가 발생할 수 있다. 이로 인하여, 하부 전극 패드(63) 및 상부 전극(68)과 제 2 플러그(76) 사이의 콘택시 콘택 불량률이 유발될 수 있다. 또한, 실질적으로 유전막(68)으로 사용되는 부분이 CMP에 의하여 긁혀지게 되어, 유전막(68) 특성이 열화된다.

<24> 또한, 상기한 559호의 콘케이브 형태의 캐패시터는 양측 모서리에 해당하는 부분(X)에 스트레스가 집중되어, 하부 전극(62) 및 상부 전극(66)에 전압 인가시 상기 모서리 부분(X)에 해당하는 유전막(66)에서 쉽게 브레이크다운(breakdown)이 발생되므로, 캐패시터의 전기적 특성이 열화된다. 이러한 현상은 콘케이브 형태의 캐패시터 구조에서도 기인될 수 있지만, 캐패시터 영역의 모서리 부분에 유전막(66)의 제대로 증착되지 않아서도 발생할 수도 있다. 이로 인하여, 559호 역시 콘택 불량 및 유전막 열화라는 문제를 해결하기 어렵다.

【발명이 이루고자 하는 기술적 과제】

<25> 따라서, 본 발명이 이루고자 하는 기술적 과제는, 캐패시터의 유전막의 열화를 방지하여, 캐패시터의 전기적 특성을 개선할 수 있는 평판형 캐패시터를 제공하는 것이다.

<26> 본 발명이 이루고자 하는 다른 기술적 과제는, 캐패시터의 전극들과 플러그간의 콘택 특성을 개선할 수 있는 평판형 캐패시터의 제조방법을 제공하는 것이다.

<27> 또한, 본 발명이 이루고자 하는 또 다른 기술적 과제는, 공정을 단순화시킬 수 있는 평판형 캐패시터의 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<28> 상기한 본 발명의 기술적 과제를 달성하기 위한 본 발명의 일 견지에 따른 평판형 캐패시터는 반도체 기판의 소정 부분에 형성되는 하부 배선, 상기 하부 배선과 전기적으로 연결되며 하부 배선 상에 형성되는 하부 전극, 상기 하부 전극 상부에 양 모서리를 갖는 콘케이브 형태로 형성된 유전막, 상기 유전막 표면에 콘케이브 형태로 형성되는 상부 전극, 상기 하부 배선과 전기적으로 연결되는 제 1 상부 배선, 및 상기 상부 전극과

연결되는 제 2 상부 배선을 포함하며, 상기 콘케이브 형태의 상부 전극은 하부 전극보다 크게 형성된다.

<29> 또한, 본 발명의 다른 실시예에 따른 평판형 캐패시터는, 반도체 기판상에 형성된 제 1 금속 배선, 상기 제 1 금속 배선 상부에 형성되는 제 1 층간 절연막, 상기 제 1 층간 절연막 상부에 형성되며, 상기 제 1부 금속 배선의 일측과 연결되는 하부 전극 및 상기 제 1 금속 배선의 타측과 연결되며 상기 하부 전극과 전기적으로 분리된 제 2 금속 배선을 포함하는 제 2 층간 절연막, 상기 제 2 층간 절연막 상부에 형성되며, 양 모서리를 갖는 콘케이브 형태의 유전막 및 그 상부를 따라 형성되는 상부 전극을 포함하는 제 3 층간 절연막, 상기 제 3 층간 절연막 상부에 형성되는 제 4 층간 절연막, 및 상기 제 4 층간 절연막 상부에 형성되며 상기 캐패시터의 상부 전극 및 상기 제 2 금속 배선과 각각 연결되는 제 3 금속 배선들을 포함하며, 상기 콘케이브 형태의 상부 전극은 하부 전극보다 크게 형성된다.

<30> 이때, 상기 하부 전극은 상기 콘케이브 형태의 상부 전극의 모서리 사이에 위치한다.

<31> 또한, 상기 하부 전극 및 제 2 금속 배선은 동일한 물질로 형성될 수 있으며, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극 Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 및 이들의 조합막 중 선택되는 하나로 형성될 수 있다. 또한, 상기 하부 전극, 제 2 금속 배선 및 제 2 층간 절연막은 동일 높이를 갖도록 형성될 수 있다.

<32> 상기 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , HfO , ZrO_2 , BST, PZT 및 ST막 중 선택되는 하나로 형성될 수 있다. 또한, 상기 제 1 내지 제 4 층간 절연막은 동일한 물성을 가진 절연막일 수 있다.

<33> 본 발명의 다른 견지에 따른 평판형 캐패시터의 제조방법은, 반도체 기판의 소정 부분에 하부 배선을 형성한다음, 상기 하부 배선과 전기적으로 연결되도록 상기 하부 배선 상부에 하부 전극을 형성한다. 그후, 상기 하부 전극이 형성된 결과물 상부에 층간 절연막을 형성하고, 상기 하부 전극 및 하부 전극 양측 부분이 노출되도록 층간 절연막을 식각하여 콘케이브 형태의 캐패시터 영역을 한정한다. 상기 캐패시터 예정 영역내에 콘케이브 형태로 유전막 및 상부 전극을 형성한 후, 상기 하부 배선과 전기적으로 연결되도록 제 1 상부 배선 및 상기 상부 전극과 연결되도록 제 2 상부 배선을 동시에 형성한다. 이때, 상기 상부 전극은 하부 전극보다 크게 형성되는 것이 중요하다.

<34> 또한, 반도체 기판의 소정 부분에 제 1 금속 배선을 형성한다음, 상기 제 1 금속 배선이 형성된 반도체 기판 상부에 제 1 금속 배선의 양측과 콘택되는 한 쌍의 제 1 플러그들을 포함하는 두 영역 노출시키는 제 1 층간 절연막을 형성한다. 그후, 상기 제 1 층간 절연막 상부에 제 1 플러그 중 어느 하나와 콘택되는 하부 전극 및 나머지 하나의 제 1 플러그와 콘택되는 제 2 금속 배선을 포함하는 제 2 층간 절연막을 형성한다. 상기 제 2 층간 절연막 상부에, 상기 하부 전극 및 그 양측의 제 2 층간 절연막 부분을 노출시키는 캐패시터 예정 영역을 포함하는 제 3 층간 절연막을 형성한다. 상기 캐패시터 예정 영역내에 콘케이브 형태로 유전막 및 상부 전극을 형성하여 캐패시터를 형성한다. 다음, 상기 제 3 층간 절연막 상부에 제 4 층간 절연막을 형성하고, 상기 제 4 및 제 3 층간 절연막, 및 4 층간 절연막내에 제 2 금속 배선 및 상부 전극과 콘택되는 제 2 플러그들을 형성한다. 이어서, 상기 제 2 플러그들과 각각 콘택되도록 제 3 금속 배선을 형성한다. 상기 상부 전극은 하부 전극보다 크게 형성됨이 바람직하다.

<35> 상기 제 1 층간 절연막을 형성하는 단계는, 상기 반도체 기판상에 제 1 층간 절연막을 증착하는 단계, 상기 제 1 금속 배선의 이격된 두 영역이 노출되도록 제 1 층간 절연막을 식각하여 비아홀을 형성하는 단계, 상기 비아홀이 충전되도록 도전층을 증착하는 단계, 및 상기 제 1 층간 절연막이 노출되도록 도전층을 평탄화시켜, 제 1 플러그를 형성하는 단계로 구성될 수 있다.

<36> 상기 제 2 층간 절연막을 형성하는 단계는, 상기 제 1 층간 절연막 상부에 제 2 층간 절연막을 증착하는 단계, 상기 제 1 플러그들 및 그 주변 부분이 각각 노출되도록 제 2 층간 절연막을 식각하여 하부 전극 예정 영역 및 제 2 금속 배선 예정 영역을 한정하는 단계, 상기 하부 전극 예정 영역 및 제 2 금속 배선 예정 영역이 충전되도록 제 2 층간 절연막 상부에 도전층을 증착하는 단계, 및 상기 도전층을 상기 제 2 층간 절연막이 노출되도록 평탄화하여 하부 전극 및 제 2 금속 배선을 형성하는 단계를 포함한다.

<37> 상기 유전막 및 상부 전극을 형성하는 단계는, 상기 캐패시터 예정 영역이 한정된 제 3 층간 절연막 상부에 유전막을 증착하는 단계, 상기 유전막 상부에 상부 전극용 도전층을 증착하는 단계, 및 상기 상부 전극용 도전층 및 유전막을 상기 층간 절연막 표면이 노출되도록 CMP하는 단계를 포함한다. 이때, 상기 도전층을 증착하는 단계와, 도전층 및 유전막을 CMP하는 단계 사이에, 상기 버퍼 산화막을 형성하는 단계를 더 포함하며, 이후 CMP 단계시 상기 버퍼막을 제거하므로, CMP 효율을 개선할 수 있다.

<38> (실시예)

<39> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본

발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 보다 크게 그려질 수 있으며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<40> 도 4는 본 발명에 따른 평판형 캐패시터의 단면도이고, 도 5a 내지 도 5d는 본 발명에 따른 평판형 캐패시터의 제조방법을 설명하기 위한 각 공정별 단면도이다.

<41> 도 4를 참조하여, 반도체 기판(100) 상에 제 1 금속 배선들(105a, 105b)이 형성되어 있다. 제 1 금속 배선(105a)은 이후 하부 전극과 콘택될 배선으로 일반적인 제 1 금속 배선(105b)에 비하여 넓은 선폴을 가질 수 있으며, 이들 제 1 금속 배선(105a, 105b)은 Al, Al 합금막, W 또는 Cu와 같은 금속막이 이용될 수 있다. 이때, 제 1 금속 배선(105a, 105b)으로 Cu막이 사용되는 경우는 공지된 다마신법에 의하여 형성될 수 있다. 또한, 제 1 금속 배선(105a, 105b)은 해당 도면에서 첫 번째 층에 해당되므로 부여된 명칭일 뿐 반드시 반도체 집적회로에 있어 제 1 금속 배선에 해당되는 것은 아니다. 제 1 금속 배선들(105a, 105b)이 형성된 반도체 기판(100) 상에 제 1 금속 배선들(105a, 105b)과 콘택되는 제 1 플러그들(115)을 포함하는 제 1 층간 절연막(110)이 형성된다. 이때, 제 1 금속 배선(105a)은 2개의 제 1 플러그(115)와 각각 콘택되며, 제 1 금속 배선(105a)과 콘택되는 제 1 플러그(115)는 소정 거리 이격된다.

<42> 제 1 층간 절연막(110) 상부에 제 2 층간 절연막(120)이 형성되고, 제 2 층간 절연막(120) 내부에 제 1 플러그들(115)과 각각 콘택되도록 제 2 층간 절연막(120)내에 제 2

금속 배선(125a,125c) 및 하부 전극(125b)이 형성된다. 이때, 하부 전극(125b)의 폭은 제 2 금속 배선(125a,125b)의 폭보다 상대적으로 클 수 있으며, 하부 전극(125b) 및 제 2 금속 배선(125a,125b)의 상부 표면은 제 2 층간 절연막(120)의 표면과 일치될 수 있다. 또한, 하부 전극(125b) 및 제 2 금속 배선(125a,125c)은 동일한 물질로 형성될 수 있으며, Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 또는 이들의 조합막으로 형성될 수 있다.

<43> 제 2 금속 배선(125a,125c) 및 하부 전극(125b)이 형성된 제 2 층간 절연막(120) 상부에 제 3 층간 절연막(130)이 형성되어 있고, 제 3 층간 절연막(130) 내부에는 콘케이브 형태로 유전막(136) 및 유전막(136)의 표면을 따라 콘케이브 형태로 형성된 상부 전극(141)이 순차적으로 형성되어, 하부 전극(125b)과 함께 캐패시터(C)가 한정된다. 상부 전극(141)은 상기한 하부 전극(125b)과 동일한 물질 또는 하부 전극(125b) 물질로 언급된 다른 금속막으로 형성될 수 있다. 이때, 상부 전극(141)은 하부 전극(125b)보다 크게 형성된다. 보다 자세하게는, 콘케이브 형태의 상부 전극(141)의 폭(상부 전극의 바닥부의 장폭 및 단폭)은 하부 전극(125b)의 폭(하부 전극의 장폭 및 단폭)보다 일정치(W)만큼 넓게, 즉, 상부 전극(141)은 하부 전극(125b)을 어느 방향에서나 포함하도록 형성된다. 이에따라 하부 전극(125b)과 대응하는 유전막 부분(A)이 실질적인 유전막의 역할을 한다. 이때, 상부 전극(141)의 폭은 상기 하부 전극의 폭보다 500 내지 5000Å 정도 클 수 있다.

<44> 캐패시터를 포함하는 제 3 층간 절연막(130) 상부에 제 4 층간 절연막(145)이 형성되어 있다. 이때, 제 1 내지 제 4 층간 절연막(110,120,130,145)은 실리콘 산화막을 포함하거나, 식각 선택비가 동일 또는 유사한 절연막들일 수 있다. 제 4 층간 절연막(145)

및 제 3 층간 절연막(130) 내부에 제 2 플러그(150a,150b,150c)가 형성되어 있으며, 제 2 플러그(150a,150b,150c) 상부 각각에는 제 3 전극 배선(155a,155b,155c)이 형성되어 있다. 이때, 제 2 플러그(150a) 및 제 3 전극 배선(155a)은 하부 전극(125b)과 전기적으로 연결되는 제 2 전극 배선(125a)과 연결되고, 제 2 플러그(150b) 및 제 3 전극 배선(155b)은 상부 전극(141)과 전기적으로 연결되며, 제 2 플러그(150b)는 제 4 층간 절연막(145)내에 형성된다. 또한, 제 2 플러그(150c) 및 제 3 전극 배선(155c)은 개별적으로 형성된 제 1 전극 배선(105b)과 전기적으로 연결된 제 2 전극 배선(125c)과 연결된다.

<45> 이와같은 구성을 갖는 평판형 캐패시터는 상부 전극(141)이 하부 전극(125b)보다 크게 형성됨에 따라, 실질적으로 캐패시터의 유전막 역할을 하는 부분은 하부 전극(125b)과 대응하는 부분(A)이 된다. 이에따라, 캐패시터(C)의 모서리 부분에 유전막(136)의 증착이 원활치 않더라도, 모서리 부분의 유전막(136)은 실질적인 캐패시터의 유전막 부분(A)이 아니므로, 브랙다운이 발생되더라도, 캐패시터의 유전 특성이 영향을 미치지 않는다. 또한, 하부 전극(125b)이 상부 전극(141)의 모서리 부분까지 연장되지 않으므로, 스트레스 집중으로 인한 유전막(136) 열화 현상 역시 발생되지 않는다.

<46> 또한, 비록 하부 전극(125b)이 상부 전극(141)의 폭보다 좁게 형성되었어도, 하부 전극(125b)과 연결된 제 1 금속 배선(105a)이 제 1 플러그(115), 제 2 금속 배선(125a) 및 제 2 플러그(150a)를 통하여 상부의 제 3 배선(155a)에 전기적으로 연결되므로, 전기적인 문제가 없다.

<47> 이하, 상기한 본 발명의 평판형 캐패시터의 제조방법에 대하여 설명하도록 한다.

<48> 도 5a에 도시된 바와 같이, 반도체 기판(100), 예를 들어, 반도체 회로 패턴 및 절연막이 형성되어 있는 반도체 기판(100) 상부에 금속막을 증착한다음, 소정 부분 패터닝

하여 제 1 금속 배선(105a,105b)을 형성한다. 이때, 제 1 금속 배선(105a)은 이후 형성될 하부 전극을 외부 배선(제 3 전극 배선)과 연결시키는 역할을 한다. 제 1 금속 배선(105a,105b)이 형성된 반도체 기판(100) 상부에 제 1 층간 절연막(110)을 형성한다. 그 후, 제 1 금속 배선(105a,105b)이 노출되도록 제 1 층간 절연막(110)을 식각하여 제 1 비아홀들(112)을 형성한다. 이때, 제 1 금속 배선(105a)은 적어도 두 부분이 노출되도록 제 1 비아홀들(112)이 형성됨이 바람직하다. 제 1 층간 절연막(110) 상부에 도전물을 증착하고, 제 1 층간 절연막(110) 표면이 노출되도록 도전물을 에치백 또는 CMP와 같은 평탄화를 진행하여, 제 1 플러그들(115)을 형성한다.

<49> 제 1 층간 절연막(110) 상부에 제 2 층간 절연막(120)을 증착한다. 제 2 층간 절연막(120)은 예를 들어 예정된 하부 전극(또는 제 2 금속 배선)의 두께로 형성됨이 바람직하다. 그 후, 제 1 플러그들(115)이 각각 노출되도록 제 2 층간 절연막(120)을 소정 부분 식각하여, 제 2 전극 배선 예정 영역(123a,123c) 및 하부 전극 예정 영역(123b)을 한정한다. 제 2 전극 배선 예정 영역(123a,123c) 및 하부 전극 예정 영역(123b)은 각각의 플러그(115)의 선포보다 큰 폭으로 형성될 수 있으며, 특히 하부 전극 예정 영역(123b)은 제 2 전극 배선 예정 영역(123a,123c)보다 상대적으로 크게 형성될 수 있다.

<50> 계속해서 동일 도면을 참조하여, 제 2 층간 절연막(120) 상부에 제 2 전극 배선 예정 영역(123a,123c) 및 하부 전극 영역(123b)이 충전되도록 금속막을 증착한다. 금속막으로는 Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 또는 이들의 조합막으로 형성될 수 있으며, 이들 금속막은 하부 배선 또는 하부 회로의 영향을 최소화하기 위하여 비교적 저온인 250 내지 500℃의 온도 범위에서, CVD(chemical vapor deposition), PVD(physical vapor deposition), ALD(atomic layer deposition) 또는 전기 도금 방식

(electroplating)으로 형성될 수 있다. 그후, 금속막을 에치백 또는 CMP에 의하여 평탄화하여, 제 2 금속 배선(125a,125c) 및 하부 전극(125b)을 형성한다.

<51> 도 5b에 도시된 바와 같이, 제 2 금속 배선(125a,125c) 및 하부 전극(125b)이 형성된 제 2 층간 절연막(120) 상부에 제 3 층간 절연막(130)을 증착한다. 그후, 하부 전극(125b) 및 그 양측의 제 2 층간 절연막(120) 부분이 노출되도록 제 3 층간 절연막(130)을 식각하여, 콘케이브 형태의 캐패시터 예정 영역(130a)을 형성한다. 캐패시터 예정 영역(130a)이 한정된 제 3 층간 절연막(130) 상부에 유전막(135) 및 상부 전극용 금속막(140)을 순차적으로 적층한다. 유전막(135)으로는 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , HfO , ZrO_2 , BST, PZT 또는 ST막으로 형성될 수 있으며, 상부 전극용 금속막(140)은 하부 전극(125b)과 동일한 물질 또는 하부 전극(125b) 물질로 언급된 금속막 중 다른 금속막으로 형성될 수 있다. 더불어, 상부 전극용 금속막(140)은 하부 전극(125b)을 형성하는 온도 범위에서 CVD, PVD, ALD 및 전기 도금 방식중 선택되는 하나로 형성될 수 있다.

<52> 도 5c를 참조하여, 상부 전극용 금속막(140) 및 유전막(135)을 CMP하여, 캐패시터 예정 영역(130a)내에 콘케이브 형태로 캐패시터 유전막(135) 및 상부 전극(141)을 형성한다. 이에따라, 캐패시터(C)가 한정한다. 이때, 상부 전극용 금속막(140) 및 유전막(135)의 CMP시, 상부 전극용 금속막(140) 상부에 버퍼 산화막(도시되지 않음)을 개재한 상태에서 CMP 공정을 사용할 수 있고, 버퍼 산화막이 사용되지 않더라도 캐패시터 예정 영역(130a)의 바닥에 형성되는 상부 전극(141) 부분은 CMP의 직접적인 영향을 받지 않는다. 이때, 하부 전극(125b)이 CMP에 의하여 한정되지 않으므로, CMP된 유전막(135) 표면에 CMP 잔재가 잔존하더라도, 하부 전극(125b)과 상부 전극(141)의 쇼트가 발생되지 않는다. 또한, 비록 유전막(135)이 CMP 공정에 의하여 한정되나, 유전막(135)의 CMP되는

면은 실질적으로 캐패시터의 유전막의 역할을 하는 부분이 아니므로 유전막(135)의 열화를 방지할 수 있다.

<53> 다음, 도 5d에 도시된 바와 같이, 캐패시터(C)가 형성된 제 3 층간 절연막(130) 상부에 제 4 층간 절연막(145)을 증착한다. 여기서, 본 실시예에서의 제 1 내지 제 4 층간 절연막(110, 120, 130, 145)은 실리콘 산화막을 포함하거나 또는 식각 선택비가 유사한 절연막일 수 있다. 그리고 나서, 제 2 금속 배선(125a, 125c) 및 상부 전극(141)이 노출되도록 제 4 층간 절연막(145) 및 제 3 층간 절연막(130)을 식각하여, 제 2 비아홀(148a, 148b, 148c)을 한정한다. 이때, 제 2 비아홀(148a, 148b, 148c) 각각은 하부 전극(125b)과 연결되는 제 2 금속 배선(125a), 상부 전극(141) 및 개별의 제 1 금속 배선(105b)과 연결되는 제 2 금속 배선(125c)을 각각 노출시킨다.

<54> 그후, 도 5d에는 도시되지 않았지만, 도 4에 도시된 것과 같이, 제 4 층간 절연막(145) 상부에 비아홀(148a, 148b, 148c)이 충전될 수 있도록 금속막을 증착한 후, 이를 평탄화하여, 제 2 플러그(150a, 150b, 150c)를 형성한다. 이어서, 제 4 층간 절연막(145) 상부에 금속막을 증착하고, 각각의 제 2 플러그(150a, 150b, 150c)와 콘택되도록 상기 금속막을 패터닝하여, 금속 배선(155a, 155b, 155c)을 형성한다.

<55> 이와같은 본 발명은 상부 전극(141)과 유전막(136)이 CMP 방식에 의하여 형성되므로, 유전막(136) 측벽의 식각 부산물 발생이 방지되고, 하부 전극(125b)을 노출시키기 위한 유전막(136)의 과도 식각이 요구되지 않으므로 하부 전극(125b)의 재스퍼터링 방식이 요구되지 않는다.

<56> 또한, 제 1 및 제 2 플러그(115, 150a, 150b, 150c)를 한정하기 위한 비아홀(112, 148a, 148b, 148c) 형성시, 고유전율을 갖는 캐패시터의 유전막을 식각함이 없이, 단

일의 막 또는 동일 계열의 층간 절연막들만을 식각하므로써, 비아홀 형성 공정이 단순해진다.

<57> 또한, 하부 전극(125b), 유전막(136) 및 상부 전극(141)이 CMP 공정에 의하여 동시에 한정되지 않으므로, CMP 공정의 잔재물이 유전막(136)에 잔류하더라도 하부 전극(125b)과 상부 전극(141)의 브릿지를 방지할 수 있다. 또한, 제 3 금속 배선(155b)과 콘택되는 상부 전극(141)의 바닥 부분은 CMP로부터 직접적인 영향을 받지 않으므로, 상부 전극(141)과 제 3 금속 배선(155b) 사이의 콘택 불량 문제를 감소시킬 수 있다.

【발명의 효과】

<58> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 하부 전극을 플래너(planar)하게 형성하고, 상부 전극 및 유전막은 콘케이브 형태로 형성하되, 하부 전극의 폭이 상부 전극의 바닥부의 폭보다 좁게 형성한다. 이에따라, 실질적인 캐패시터의 유전막으로 작용하는 부분이 캐패시터의 모서리 부분에 해당되지 않고 하부 전극과 대응되는 부분이 되므로, 모서리 부분에 유전막의 열화가 발생되더라도 캐패시터의 특성에 영향을 미치지 않는다.

<59> 또한, 유전막 및 상부 전극이 CMP 방식에 의하여 한정되므로, 유전막 측벽의 식각 부산물 흡착 및 하부 전극 물질의 재스퍼터링 현상이 발생되지 않는다. 더욱이, 유전막이 제 1 및 제 2 금속 배선이 형성된 부분까지 연장되지 않으므로, 비아홀 형성시 유전막을 식각할 필요가 없으므로, 비아홀 식각 공정이 용이해진다.

<60> 또한, CMP 잔재물로 인한 하부 전극과 상부 전극의 쇼트를 방지할 수 있고, 콘택 저항을 개선할 수 있다.

<61> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

반도체 기판의 소정 부분에 형성되는 하부 배선;

상기 하부 배선과 전기적으로 연결되며 하부 배선 상에 형성되는 하부 전극;

상기 하부 전극 상부에 양 모서리를 갖는 콘케이브 형태로 형성된 유전막;

상기 유전막 표면에 콘케이브 형태로 형성되는 상부 전극;

상기 하부 배선과 전기적으로 연결되는 제 1 상부 배선; 및

상기 상부 전극과 연결되는 제 2 상부 배선을 포함하며,

상기 콘케이브 형태의 상부 전극은 상기 하부 전극보다 큰 것을 특징으로 하는 평판형 캐패시터.

【청구항 2】

제 1 항에 있어서, 상기 하부 전극은 상기 콘케이브 형태의 상부 전극의 모서리 사이에 위치하는 것을 특징으로 하는 평판형 캐패시터.

【청구항 3】

제 1 항에 있어서, 상기 하부 전극 및/또는 상부 전극 Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 및 이들의 조합막 중 선택되는 하나로 형성되는 것을 특징으로 하는 평판형 캐패시터.

【청구항 4】

제 1 항에 있어서, 상기 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , HfO , ZrO_2 , BST, PZT 및 ST막 중 선택되는 하나로 형성되는 것을 특징으로 하는 평판형 캐패시터.

【청구항 5】

반도체 기판상에 형성된 제 1 금속 배선;

상기 제 1 금속 배선 상부에 형성되는 제 1 층간 절연막;

상기 제 1 층간 절연막 상부에 형성되며, 상기 제 1부 금속 배선의 일측과 연결되는 하부 전극 및 상기 제 1 금속 배선의 타측과 연결되며 상기 하부 전극과 전기적으로 분리된 제 2 금속 배선을 포함하는 제 2 층간 절연막;

상기 제 2 층간 절연막 상부에 형성되며, 양 모서리를 갖는 콘케이브 형태의 유전막 및 그 상부를 따라 형성되는 상부 전극을 포함하는 제 3 층간 절연막;

상기 제 3 층간 절연막 상부에 형성되는 제 4 층간 절연막; 및

상기 제 4 층간 절연막 상부에 형성되며, 상기 캐패시터의 상부 전극 및 상기 제 2 금속 배선과 각각 연결되는 제 3 금속 배선들을 포함하며,

상기 콘케이브 형태의 상부 전극은 상기 하부 전극보다 큰 것을 특징으로 하는 평판형 캐패시터.

【청구항 6】

제 5 항에 있어서, 상기 하부 전극은 상기 콘케이브 형태의 상부 전극의 모서리 사이에 위치하는 것을 특징으로 하는 평판형 캐패시터.

【청구항 7】

제 5 항에 있어서, 상기 하부 전극 및 제 2 금속 배선은 동일한 물질로 형성되는 것을 특징으로 하는 평판형 캐패시터.

【청구항 8】

제 7 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극 Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 및 이들의 조합막 중 선택되는 하나로 형성되는 것을 특징으로 하는 평판형 캐패시터.

【청구항 9】

제 5 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및 제 2 층간 절연막은 동일 높이를 갖는 것을 특징으로 하는 평판형 캐패시터.

【청구항 10】

제 5 항에 있어서, 상기 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , HfO, ZrO_2 , BST, PZT 및 ST막 중 선택되는 하나로 형성되는 것을 특징으로 하는 평판형 캐패시터.

【청구항 11】

제 5 항에 있어서, 상기 제 1 내지 제 4 층간 절연막은 동일한 식각 선택비를 가지는 절연막인 것을 특징으로 하는 평판형 캐패시터.

【청구항 12】

반도체 기판의 소정 부분에 하부 배선을 형성하는 단계;

상기 하부 배선과 전기적으로 연결되도록 상기 하부 배선 상부에 하부 전극을 형성하는 단계;

상기 하부 전극이 형성된 결과물 상부에 층간 절연막을 형성하는 단계;

상기 하부 전극 및 하부 전극 양측 부분이 노출되도록 층간 절연막을 식각하여 콘 케이브 형태의 캐패시터 영역을 한정하는 단계;

상기 캐패시터 예정 영역내에 콘케이브 형태로 유전막 및 상부 전극을 형성하는 단계; 및

상기 하부 배선과 전기적으로 연결되도록 제 1 상부 배선 및 상기 상부 전극과 연결되도록 제 2 상부 배선을 동시에 형성하는 단계를 포함하며,

상기 상부 전극은 상기 하부 전극보다 큰 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 13】

제 12 항에 있어서, 상기 하부 전극을 형성하는 단계는,

상기 하부 배선이 형성된 반도체 기판 상부에 하부 배선의 양측과 콘택되는 플러그를 포함하는 제 1 절연막을 형성하는 단계; 및

상기 제 1 절연막 상부에 상기 플러그 중 어느 하나와 콘택되는 하부 전극과 다른 하나의 플러그와 콘택되는 금속 배선을 포함하는 제 2 절연막을 형성하는 단계를 포함하며,

상기 제 2 상부 배선은 상기 금속 배선과 전기적으로 연결되는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 14】

제 13 항에 있어서, 상기 제 2 절연막을 형성하는 단계는,

상기 제 1 절연막 상부에 제 2 절연막을 형성하는 단계;

상기 플러그 영역이 각각 노출되도록 제 2 절연막을 식각하여, 하부 전극 영역과 금속 배선 영역을 한정하는 단계;

상기 제 2 절연막 상부에 금속막을 증착하는 단계; 및

상기 금속막을 제 2 절연막 표면이 노출되도록 평탄화시켜, 상기 하부 전극 및 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 15】

제 12 항에 있어서, 상기 유전막 및 상부 전극을 형성하는 단계는,

상기 캐패시터 예정 영역이 한정된 층간 절연막 상부에 유전막을 증착하는 단계;

상기 유전막 상부에 상부 전극용 도전층을 증착하는 단계; 및

상기 상부 전극용 도전층 및 유전막을 상기 층간 절연막 표면이 노출되도록 CMP(chemical mechanical polishing)하는 단계를 포함하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 16】

제 15 항에 있어서, 상기 도전층을 증착하는 단계와, 도전층 및 유전막을 CMP하는 단계 사이에, 상기 버퍼 산화막을 형성하는 단계를 더 포함하며, 이후 CMP 단계시 상기 버퍼막이 제거되는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 17】

제 12 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극은 Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 및 이들의 조합막 중 선택되는 하나로 형성하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 18】

제 17 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극은 250 내지 500℃의 온도 범위에서 증착하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 19】

제 18 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극은 CVD(chemical vapor deposition), PVD(physical vapor deposition), ALD(atomic layer deposition) 및 전기 도금 방식(electroplating) 중 선택되는 하나로 형성하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 20】

제 12 항에 있어서, 상기 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , HfO , ZrO_2 , BST, PZT 및 ST막 중 선택되는 하나로 형성하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 21】

반도체 기판의 소정 부분에 제 1 금속 배선을 형성하는 단계;

상기 제 1 금속 배선이 형성된 반도체 기판 상부에 제 1 금속 배선의 양측과 접촉되는 한 쌍의 제 1 플러그들을 포함하는 두 영역 노출시키는 제 1 층간 절연막을 형성하는 단계;

상기 제 1 층간 절연막 상부에 제 1 플러그 중 어느 하나와 접촉되는 하부 전극 및 나머지 하나의 제 1 플러그와 접촉되는 제 2 금속 배선을 포함하는 제 2 층간 절연막을 형성하는 단계;

상기 제 2 층간 절연막 상부에, 상기 하부 전극 및 그 양측의 제 2 층간 절연막 부분을 노출시키는 캐패시터 예정 영역을 포함하는 제 3 층간 절연막을 형성하는 단계;

상기 캐패시터 예정 영역내에 콘케이브 형태로 유전막 및 상부 전극을 형성하여 캐패시터를 한정하는 단계;

상기 제 3 층간 절연막 상부에 제 4 층간 절연막을 형성하는 단계;

상기 제 4 및 제 3 층간 절연막, 및 4 층간 절연막내에 제 2 금속 배선 및 상부 전극과 콘택되는 제 2 플러그들을 형성하는 단계; 및

상기 제 2 플러그들과 각각 콘택되도록 제 3 금속 배선을 형성하는 단계를 포함하며,

상기 상부 전극은 상기 하부 전극보다 큰 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 22】

제 21 항에 있어서, 상기 제 1 층간 절연막을 형성하는 단계는,

상기 반도체 기판상에 제 1 층간 절연막을 증착하는 단계;

상기 제 1 금속 배선의 이격된 두 영역이 노출되도록 제 1 층간 절연막을 식각하여 비아홀을 형성하는 단계;

상기 비아홀이 충전되도록 도전층을 증착하는 단계; 및

상기 제 1 층간 절연막이 노출되도록 도전층을 평탄화시켜, 제 1 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 23】

제 21 항에 있어서, 상기 제 2 층간 절연막을 형성하는 단계는,

상기 제 1 층간 절연막 상부에 제 2 층간 절연막을 증착하는 단계;

상기 제 1 플러그들 및 그 주변 부분이 각각 노출되도록 제 2 층간 절연막을 식각하여, 하부 전극 예정 영역 및 제 2 금속 배선 예정 영역을 한정하는 단계;

상기 하부 전극 예정 영역 및 제 2 금속 배선 예정 영역이 충전되도록 제 2 층간 절연막 상부에 도전층을 증착하는 단계; 및

상기 도전층을 상기 제 2 층간 절연막이 노출되도록 평탄화하여, 하부 전극 및 제 2 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 24】

제 21 항에 있어서, 상기 유전막 및 상부 전극을 형성하는 단계는,

상기 캐패시터 예정 영역이 한정된 제 3 층간 절연막 상부에 유전막을 증착하는 단계;

상기 유전막 상부에 상부 전극용 도전층을 증착하는 단계; 및

상기 상부 전극용 도전층 및 유전막을 상기 층간 절연막 표면이 노출되도록 CMP하는 단계를 포함하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 25】

제 21 항에 있어서, 상기 도전층을 증착하는 단계와, 도전층 및 유전막을 CMP하는 단계 사이에, 상기 버퍼 산화막을 형성하는 단계를 더 포함하며, 이후 CMP 단계시 상기 버퍼막이 제거되는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 26】

제 21 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극 Ti, Ta, W, TiN, TaN, Al, Cu, Ru, Pt, Ir 물질 및 이들의 조합막 중 선택되는 하나로 형성하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 27】

제 26 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극은 250 내지 500℃의 온도 범위에서 증착하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 28】

제 27 항에 있어서, 상기 하부 전극, 제 2 금속 배선 및/또는 상부 전극은 CVD(chemical vapor deposition), PVD(physical vapor deposition), ALD(atomic layer deposition) 및 전기 도금 방식(electroplating) 중 선택되는 하나로 형성하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 29】

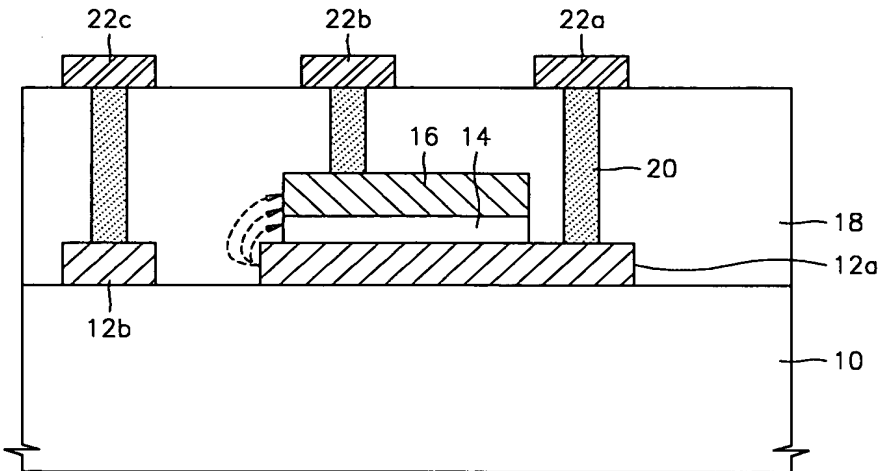
제 21 항에 있어서, 상기 유전막은 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , HfO , ZrO_2 , BST, PZT 및 ST막 중 선택되는 하나로 형성하는 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【청구항 30】

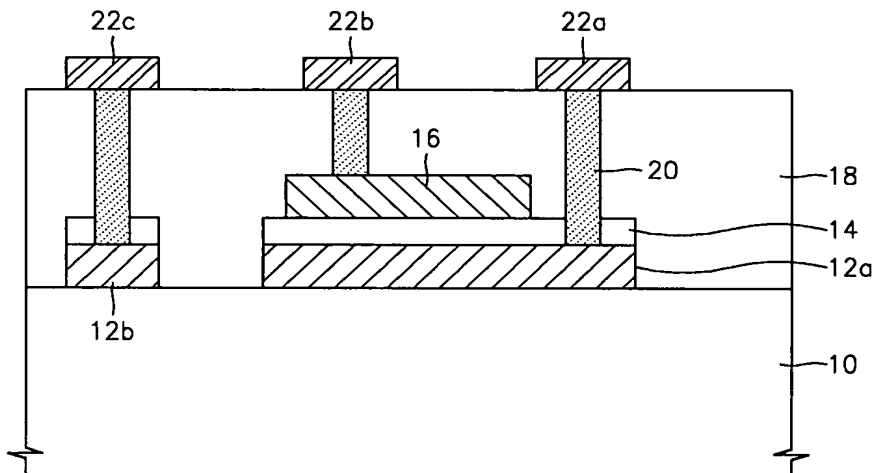
제 21 항에 있어서, 상기 제 1 내지 제 4 층간 절연막은 동일한 식각 선택비를 가지는 절연막인 것을 특징으로 하는 평판형 캐패시터의 제조방법.

【도면】

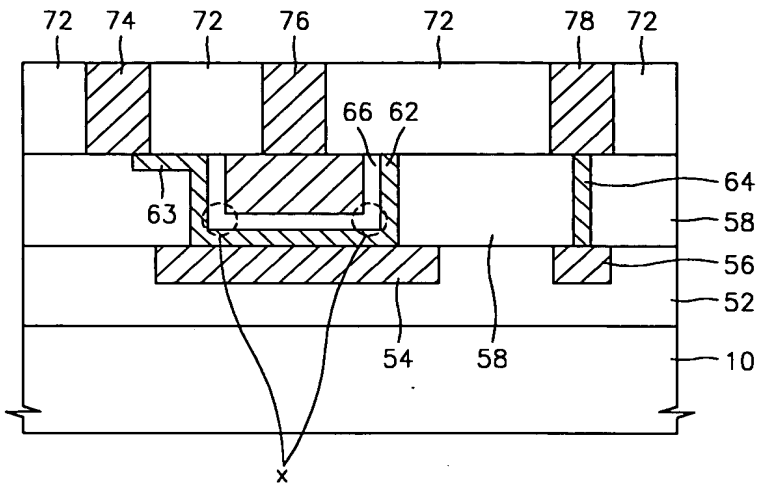
【도 1】



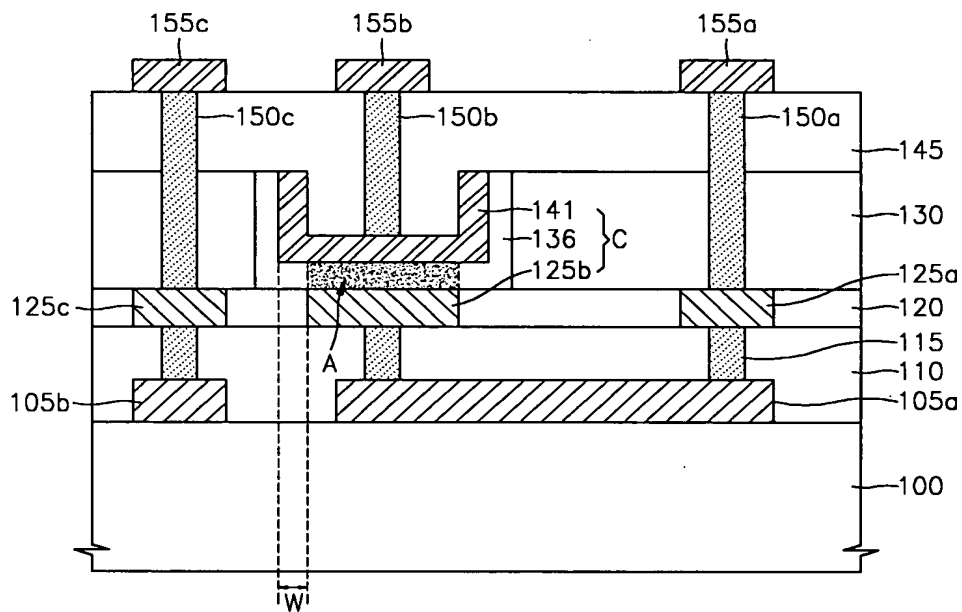
【도 2】



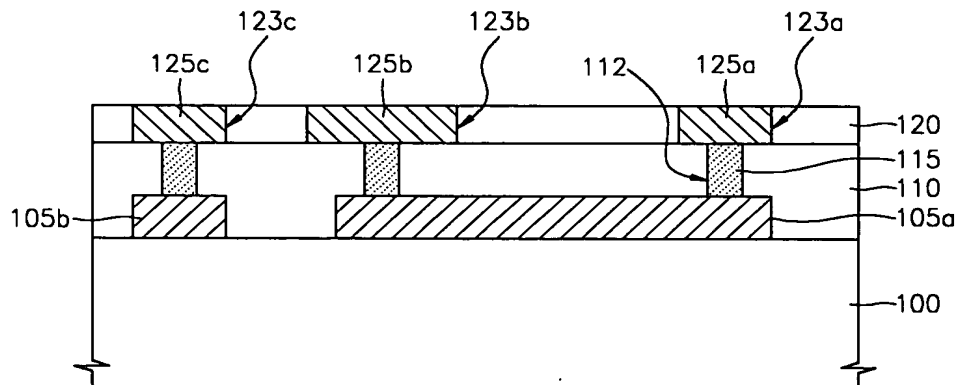
【도 3】



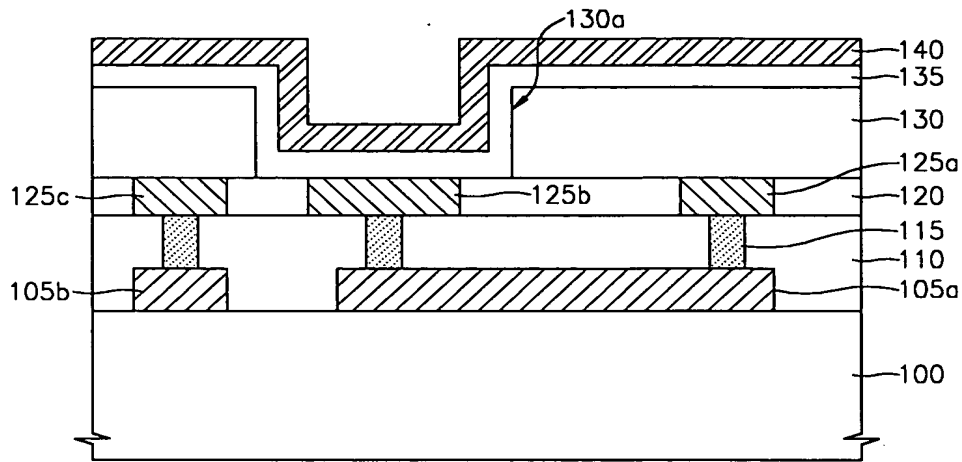
【도 4】



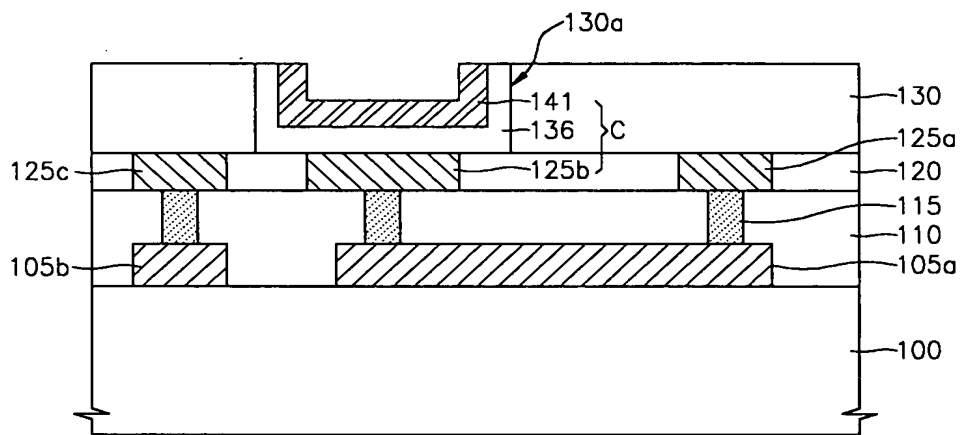
【도 5a】



【도 5b】



【도 5c】



【도 5d】

